

롯데엔지니어링 (SYSCIC)

출력 일자: 2004/9/9

발송번호 : 9-5-2004-037413413

수신 : 서울 중구 순화동 1-170 에이스타워 4층

발송일자 : 2004.09.08

신영무 귀하

제출기일 : 2004.11.08

100-712

특허청 의견제출통지서

10/612.074

출원인 명칭 주식회사 하이닉스반도체 (출원인코드: 119980045698)

주소 경기 이천시 부발읍 아미리 산136-1

대리인 성명 신영무

주소 서울 중구 순화동 1-170 에이스타워 4층

출원번호 10-2002-0068052

발명의 명칭 반도체 소자의 소자 분리막 형성 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니, 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원발명은 반도체 소자의 소자 분리막 형성방법에 관한 것으로, 기판상에 웰 형성에정지역에 트렌치를 형성하고, 트렌치 내에 에피택셜 성장층을 형성하고, 트렌치를 절연막으로 매립하는 것을 주요 특징으로 하고 있으나, 이러한 것은 첨부된 인용예인 한국공개특허 2001-9810호에서, 기판상에 트렌치를 형성하고, $\text{Si}_x\text{Ge}_{1-x}$ 에피택셜층을 형성하고, 트렌치 내부를 절연물질로 매립하는 것과 극히 유사한 것이므로, 본원발명은 인용예에 의해 용이하게 발명할 수 있는 것입니다.

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제5항 및 동법 시행령 제5조제6항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

청구항12는 20이상의 항을 인용하는 청구항으로 20이상의 항이 인용된 종속항을 인용할 수 없도록 규정된 특허법 시행령 제52제6항의 규정에 위배되는 항입니다.

[첨 부]

첨부1 공개특허 제2001-9810호(2001.02.05) 1부. 끝.

2004.09.08

특허청

전기전자심사국

반도체심사담당관실

심사관 신창우



출력 일자: 2004/9/9

<<안내>>

문의사항이 있으시면 ☎ 042-481-5733 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010009810 A
(43)Date of publication of application: 05.02.2001

(21)Application number: 990028402
(22)Date of filing: 14.07.1999

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, CHEOL JUN
KIM, CHEOL SEONG
KIM, HYEONG SEOP
KOO, JA HEUM

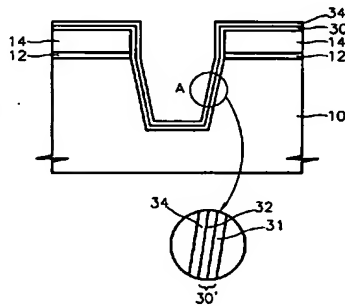
(51)Int. Cl H01L 21/76

(54) TRENCH ISOLATION METHOD USING SiGe EPITAXIAL LAYER

(57) Abstract:

PURPOSE: A trench isolation method using a silicon-germanium epitaxial layer is provided to prevent the creation of interstitial silicon atoms in a silicon substrate around the trench.

CONSTITUTION: After a pad oxide layer(12) is formed on a silicon substrate(10), a mask pattern(14) is formed thereon to define a trench region. The substrate(10) is then etched to some depth through the mask pattern(14) to form a trench. Thereafter, a silicon-germanium layer(30') is formed in the trench and on the mask pattern(14) by epitaxial growth. In addition, a sidewall oxide layer(34) of silicon oxide is formed on the silicon-germanium layer(30') by thermal oxidation. Here, while the original silicon-germanium layer(31) is thinner, another silicon-germanium layer(32) having a low silicon content is formed between the original silicon-germanium layer(31) and the silicon oxide layer(34). Therefore, interstitial silicon atoms can be hardly created in the substrate(10) around the trench.



COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특2001-0009810
H01L 21/76 (43) 공개일자 2001년02월05일

(21) 출원번호 10-1999-0028402
(22) 출원일자 1999년07월14일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 구자홍
경기도 성남시 분당구 구미동 무지개마을 건영아파트 1004동 1003호
김철성
경기도 안양시 만안구 석수2동 285-5403호
최철준
경기도 고양시 덕양구 행신1동 샘터마을 301동 1304호
김형섭
서울특별시 동작구 사당동 105신동아아파트 402동 206호
(74) 대리인 미영필, 권석훈, 정상빈

심사청구 : 없음

(54) 실리콘-게르마늄 에피택셜층을 이용한 트랜치 소자분리방법

요약

본 발명은 트랜치 소자분리 방법에 관한 것으로, 본 발명은 실리콘 기판에 형성된 트랜치의 측벽 및 바닥에 Si₃Ge₄ 에피택셜층을 성장시킨 후 산화시켜 측벽 산화막을 형성한다. 그러면, Si₃Ge₄ 층의 실리콘 원자가 산화되어 측벽 산화막인 실리콘 산화막이 형성되고, 게르마늄 원자는 트랜치 주위의 실리콘 기판에서 침입형(interstitial)의 실리콘 원자가 생성되는 것을 방지한다. 따라서, 후속의 이온주입 공정 및 열처리 공정에서 침입형 실리콘 원자가 유발할 수 있는 도펀트 확산을 방지하여 신뢰성있는 반도체 소자를 얻을 수 있다.

도표도

도4

색인어

트랜치 소자분리(trench isolation), 실리콘-게르마늄 에피택셜층(SiGe epitaxial layer), 침입형 실리콘(Si interstitial)

명세서

도면의 간단한 설명

도 1은 실리콘 기판 상에 트랜치를 형성한 상태를 도시한 단면도이다.

도 2는 도 1의 트랜치의 측벽 및 바닥에 측벽 산화막을 형성했을 때, 침입형(interstitial) 실리콘 원자들이 형성된 상태를 도시한 단면도이다.

도 3 및 도 4는 본 발명의 일 실시예에 따른 트랜치 소자분리 과정을 도시한 단면도들이다.

도 5 및 도 6은 본 발명의 다른 실시예에 따른 트랜치 소자분리 과정을 도시한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자를 제조할 때 소자들을 전기적으로 분리하는 소자분리 방법에 관한 것으로 특히, 트랜치형(trench-type) 소자분리 방법에 관한 것이다.

최근, 반도체 소자의 집적도가 증가하면서, 소자분리 영역에 트렌치를 형성하고 이 트렌치 내에 절연물질을 매립하여 소자들을 전기적으로 분리하는 트렌치 소자분리 방법이 많이 사용되고 있다.

일반적인 트렌치 소자분리 방법은 다음과 같이 수행된다. 먼저, 도 1에 도시된 바와 같이, 얇은 패드 산화막(12)이 형성된 실리콘 기판(10) 상에 트렌치 식각을 위한 마스크 패턴(14)을 형성한 후, 이 마스크 패턴(14)을 식각 마스크로 사용하여 건식 식각함으로써 기판(10)에 트렌치를 형성한다. 이때 마스크 패턴(14)은 포토레지스트로 이루어지거나, 실리콘 질화막, 실리콘 산화막 또는 이들의 복합막으로 이루어진다. 이어서, 도 2에 도시된 바와 같이, 트렌치 식각도중 발생한 트렌치 측벽이나 바닥의 곁합을 치유하고, 이후에 형성되는 실리콘 질화막 라이너(liner)층에 대한 완충막 역할을 하는 측벽 산화막(16)을 형성한다. 이어서, 측벽 산화막(16)이 형성된 트렌치 내부를 실리콘 산화막 등의 절연물질(도시하지 않음)로 매립하게 된다.

그런데, 도 2에서와 같은 트렌치 측벽 산화막(16)은 통상의 열산화 공정에 의해 형성되는데, 이때 트렌치 주변의 격자를 이루고 있던 실리콘 원자들이 산소와 곁합하기 위해 격자결합이 끊어진 후, 산소와 곁합하지 못하고 남음으로써 생기는 침입형(interstitial) 실리콘 원자(18)들이 다수 생성된다. 이러한 침입형 실리콘 원자(18)들은 이후의 이온주입 공정과 열처리 공정에서 원하지 않는 도펀트 확산을 유발하여 완성된 소자의 특성을 열화시킨다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 침입형 실리콘 원자들의 생성을 억제할 수 있는 트렌치 소자분리 방법을 제공하는 것이다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명에 따른 트렌치 소자분리 방법은, 통상의 방법으로 실리콘 기판 상에 트렌치를 형성하고, 트렌치가 형성된 실리콘 기판 상에 $Si_{1-x}Ge_x$ 의 에피택셜층을 형성한 후, 이 $Si_{1-x}Ge_x$ 에피택셜층을 산화시켜 트렌치 측벽 산화막을 형성한 다음, 트렌치 내부를 절연물질로 매립하는 단계를 포함한다.

여기서, 상기 $Si_{1-x}Ge_x$ 에피택셜층은 실리콘이 더 많이 함유된 즉, $x > 0.5$ 인 것이 바람직하다. 또한, $Si_{1-x}Ge_x$ 에피택셜층은 트렌치와 마스크 패턴을 포함한 기판 전면에 형성될 수도 있고, 또는 트렌치 측벽 및 바닥에만 선택적으로 형성될 수도 있다.

이와 같이, 본 발명에 의하면 트렌치 측벽과 바닥에 $Si_{1-x}Ge_x$ 에피택셜층을 형성한 후 이 $Si_{1-x}Ge_x$ 에피택셜층을 산화시켜 트렌치 측벽 산화막을 형성함으로써, 트렌치 주위의 실리콘 기판에 침입형 실리콘 원자의 생성을 억제할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

먼저, 종래의 일반적인 방법으로 실리콘 기판에 트렌치를 형성한다. 즉, 도 1에 도시된 바와 같이, 패드 산화막(12)이 형성된 실리콘 기판(10) 상에 트렌치 영역을 정의하는 마스크 패턴(14)을 형성한다. 이 마스크 패턴(14)은 포토레지스트로 이루어지거나, 실리콘 질화막, 실리콘 산화막 또는 이들의 복합막으로 이루어진다. 이어서, 마스크 패턴(14)을 식각 마스크로 하여 실리콘 기판(10)을 소정 깊이로 식각함으로써 트렌치를 형성한다.

이어서, 도 3에 도시된 바와 같이, 트렌치 내부 및 마스크 패턴(14)을 포함한 기판 전면에 실리콘 게르마늄 합금으로 이루어진 $Si_{1-x}Ge_x$ 층(30)을 에피택셜 성장시킨다. 이 에피택셜 성장은 실란(silane)계 가스 예컨대, SiH_4 와 게르만(germane)계 가스 예컨대 GeH_4 를 각각 실리콘과 게르마늄의 소스가스로 하여 예컨대, 화학기상 증착법(Chemical Vapor Deposition)으로 증착함으로써 수행된다. 이때, 기판온도는 $600 \sim 750^\circ C$, 압력은 $10 \sim 700$ torr 정도로 한다. 한편, 이 에피택셜 성장은 고진공 하에서 수행되는 분자선(molecular beam) 에피택셜 성장으로도 할 수 있다. 그러면, $Si_{1-x}Ge_x$ 의 에피택셜층(30)이 기판 전체에 걸쳐서 특히, 트렌치 측벽 및 바닥에서는 노출된 실리콘 격자구조를 따라서 단결정의 $Si_{1-x}Ge_x$ 층(30)이 형성된다. 이때, $Si_{1-x}Ge_x$ 층(30)의 주성분은 실리콘으로 즉, $x > 0.5$ 로 하는 것이 바람직하고, $x = 0.8 \sim 0.9$ 가 더욱 바람직한다. 그 이유는 후술한다. 이 $Si_{1-x}Ge_x$ 층(30)의 실리콘과 게르마늄의 비는 상기 소스가스들의 유량을 제어함으로써 조절할 수 있다.

이어서, $Si_{1-x}Ge_x$ 층(30)이 형성된 기판을 산화로에 넣고 열산화를 수행하면, 도 4에 도시된 바와 같이, $Si_{1-x}Ge_x$ 층(30) 상부에 실리콘 산화막(34, SiO_2)이 형성된다. 이때, A 부분을 확대 도시한 것을 보면, 원래의 $Si_{1-x}Ge_x$ 층(30)에서 노출되어 있던 표면족은 게르마늄 원자들보다는 실리콘 원자들이 산소와 곁합하여 실리콘 산화막(34)을 이루게 됨에 따라, $Si_{1-x}Ge_x$ 층(31)의 두께는 점점 감소하고 $Si_{1-x}Ge_x$ 층(31)과 실리콘 산화막(34)의 계면에는 실리콘의 함량이 감소한 $Si_{1-x}Ge_x$ 층(32) (여기서, $x > y$)이 형성된다. 또한, 트렌치 주위의 실리콘 기판(10)에서 침입형의 실리콘 원자는 거의 생성되지 않는다. 나아가서, 침입형 게르마늄 원자도 생성되지 않는다.

이와 같이, $Si_{1-x}Ge_x$ 층(31)을 이루는 실리콘 원자와 게르마늄 원자중 측벽 산화막(34)을 형성하는 것은 주로 실리콘 원자이고, 게르마늄 원자는 자신은 산화되지 않으면서 $Si_{1-x}Ge_x$ 층(31)의 산화를 촉진하는 입종의 촉매로서 작용하면서 트렌치 주위의 실리콘 기판(10)에서 침입형 실리콘 원자의 생성을 억제하는 역할을 한다. 따라서, 측벽 산화막(34)을 충분히 형성하기 위해서 상술한 바와 같이 $Si_{1-x}Ge_x$ 에피택셜층(30)

에서 $x > 0.5$ 가 되는 것이 바람직하다. 또한, 실리콘의 산화를 돕고, 기관(10)에서 침입형 실리콘 원자의 생성을 억제하기 위한 게르마늄의 양은 많지 않아도 된다. 따라서, 원하는 두께의 촉벽 산화막(34)을 형성하기에 충분한 두께의 $Si_{1-x}Ge_x$ 에피택셜층(30) 예컨대, 수십~수백 Å 정도의 두께를 가지는 $Si_{1-x}Ge_x$ 에피택셜층(30)을 성장시키면 되고, 이때 실리콘의 함량도 $x = 0.8 \sim 0.9$ 로 충분히 하는 것이 더욱 바람직하다.

참고로, $SiGe$ 층/ Si 층의 산화과정에서 게르마늄 원자는 실리콘의 산화를 돕는 촉매역할과 하부 Si 층에서의 침입형 실리콘 원자의 생성을 억제하는 역할을 한다는 것은, F. K. LeGoues 등의, "Kinetics and mechanism of oxidation of $SiGe$: dry versus wet oxidation", Appl. Phys. Lett. 54(7), 1989 및 F. K. LeGoues 등의, "Oxidation studies of $SiGe$ ", J. Appl. Phys. 65(4), 1989의 문헌에 나타나 있다(그러나, $SiGe$ 층/ Si 층의 산화과정의 미세 메커니즘은 아직 명확히 밝혀지지 않았으며, 이 문헌들도 $SiGe$ 층/ Si 층의 산화과정에서 게르마늄이 상기와 같은 역할을 하는 정확한 메커니즘을 규명하지는 못하고 있다).

이어서, 촉벽 산화막(34)이 형성된 기관 전면에서 통상의 방법으로 실리콘 산화막 등의 절연층을 매립하여 트렌치 소자분리막(도시하지 않음)을 형성하고, 평탄화함으로써 트렌치 소자분리를 완료한다.

도 5 및 도 6은 본 발명의 다른 실시예에 따른 트렌치 소자분리 과정을 도시한 단면도들로서, 도 3 및 도 4를 참조하여 설명한 상기의 실시예와 다른 점은, 트렌치의 촉벽 및 바닥에만 선택적으로 $Si_{1-x}Ge_x$ 에피택셜층(50)을 형성하고 산화시킨 데에 있다. 나머지 트렌치의 형성과 산화과정(이 산화과정을 도시한 도 6에서 참조부호 50', 51, 52 및 54는 도 3에서의 30', 31, 32 및 34에 각각 대응된다) 및 트렌치 매립과정은 상술한 실시예와 동일하므로 그 상세한 설명을 생략하고, 여기서는 도 5의 트렌치 촉벽 및 바닥에만 $Si_{1-x}Ge_x$ 에피택셜층(50)을 선택적으로 성장시키는 방법에 대해서만 설명한다.

도 5에 도시된 바와 같이 $Si_{1-x}Ge_x$ 에피택셜층(50)을 트렌치 촉벽 및 바닥에만 선택적으로 성장시키는 과정은, 도 3에서의 전면적인 성장과 크게 다르지 않다. 즉, 실란계 가스 예컨대, $SiHCl_3$ (dichlorosilane, 디클로로실란)이 $SiHCl_3$ 는 SiH_4 보다 선택성이 더 높다)와 게르마늄계 가스 예컨대, GeH_4 를 각각 실리콘과 게르마늄의 소스 가스로 하고, 여기에 HCl 가스를 더 첨가하여 예컨대, 화학기상 증착법으로 증착한다. 그러면 순수 실리콘이 아닌 $Si_{1-x}Ge_x$ 이 노출된 트렌치의 촉벽 및 바닥에는 $Si_{1-x}Ge_x$ 층(50)이 에피택셜 성장되고, 순수 실리콘이 아닌 마스크 패턴(14)의 표면에서는 $SiGe$ 층이 단결정이 아닌 폴리머의 형태로 증착되어(즉, 결합력이 약하여) HCl 에 의해 쉽게 제거됨으로써, 트렌치의 촉벽 및 바닥에만 선택적으로 $Si_{1-x}Ge_x$ 에피택셜층(50)이 형성된다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 소자분리를 위한 트렌치의 촉벽 및 바닥에 $Si_{1-x}Ge_x$ 에피택셜층을 형성하고 산화함으로써, $Si_{1-x}Ge_x$ 층의 실리콘 원자가 산화되어 촉벽 산화막이 형성되고, 트렌치 주위의 실리콘 기관에 생성될 수 있는 침입형 실리콘 원자는 $Si_{1-x}Ge_x$ 층의 게르마늄 원자에 의해 그 생성이 억제됨으로써 방지된다. 따라서, 침입형 실리콘 원자의 생성이 억제됨으로써 후속의 이온주입 공정이나 열처리 공정에서 침입형 실리콘 원자에 의해 유발되는 도펀트 확산이 방지되어 신뢰성있는 반도체 소자가 얻어진다. 또한, 본 발명에 의하면, $Si_{1-x}Ge_x$ 층이 트렌치 촉벽 및 바닥의 실리콘 원자구조에 따라 에피택셜 성장되므로, 실리콘 기관과 $Si_{1-x}Ge_x$ 층의 계면에서 발생할 수 있는 결함도 훨씬 줄어든다.

(5) 청구의 범위

청구항 1. 실리콘 기관 상에 트렌치를 형성할 부분을 정의하는 마스크 패턴을 형성하는 단계와, 상기 마스크 패턴을 식각 마스크로 이용하여 상기 실리콘 기관을 소정 깊이로 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 형성된 실리콘 기관 상에 $Si_{1-x}Ge_x$ 의 에피택셜층을 형성하는 단계;

상기 $Si_{1-x}Ge_x$ 에피택셜층을 산화시켜 트렌치 촉벽 산화막을 형성하는 단계; 및

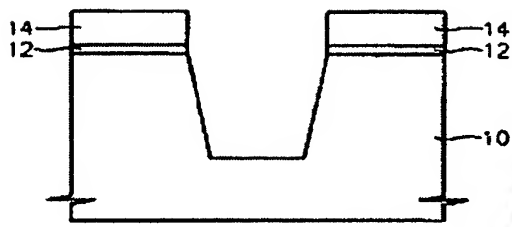
상기 트렌치 내부를 절연층으로 매립하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 2. 제1항에 있어서, 상기 $Si_{1-x}Ge_x$ 에피택셜층에서 $x > 0.5$ 인 것을 특징으로 하는 트렌치 소자분리 방법.

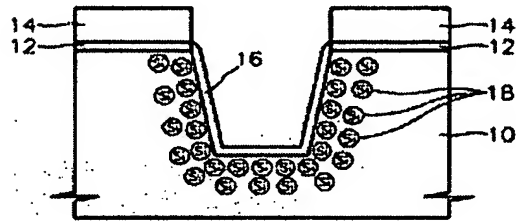
청구항 3. 제1항에 있어서, 상기 $Si_{1-x}Ge_x$ 에피택셜층은 상기 실리콘 기관의 트렌치 촉벽 및 바닥에만 선택적으로 형성되는 것을 특징으로 하는 트렌치 소자분리 방법.

도면

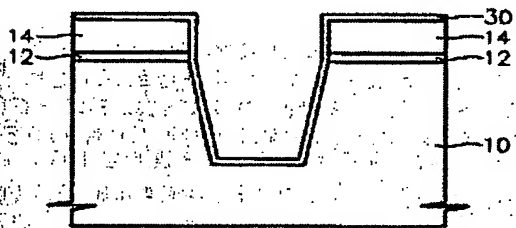
도 1



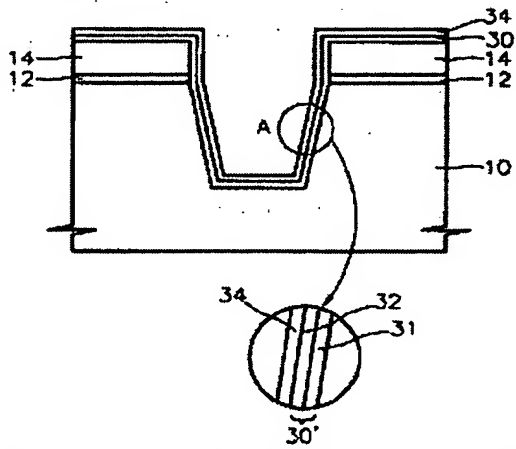
도 2



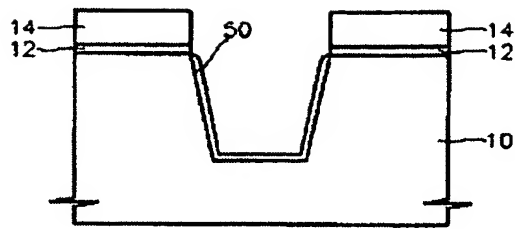
도 3



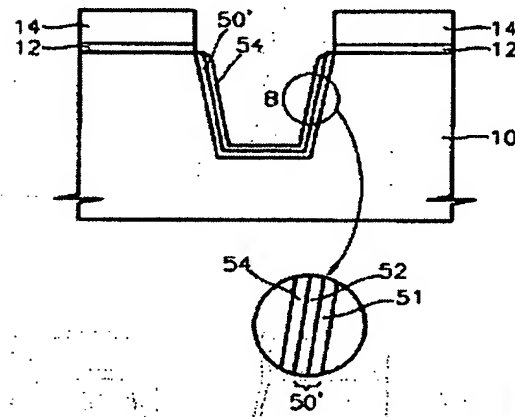
도 4



도 25



도 26



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.